

PAT-NO: JP405082582A  
DOCUMENT-IDENTIFIER: JP 05082582 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: April 2, 1993

INVENTOR-INFORMATION:  
NAME  
USUKINU, TAKASHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC YAMAGATA LTD N/A

APPL-NO: JP03242258  
APPL-DATE: September 24, 1991

INT-CL (IPC): H01L021/60  
US-CL-CURRENT: 257/738

ABSTRACT:

PURPOSE: To enable a semiconductor device formed of the same IC chip in external dimensions that used in a conventional one to be lessened in size and to enhance bonding pads located on the IC chip in degree of freedom of arrangement and degree of integration.

CONSTITUTION: Metal ball leads serving as lead terminals connected to the printed wiring 9 as an outer circuit are formed just above the bonding pads 11 of an IC chip 1, and the IC chip is sealed up with sealing resin 5 so as to make the metal ball leads 12 partially exposed. By this setup, a space where lead terminals connected to an outer circuit are held is eliminated from the

**Best Available Copy**

outer periphery of the IC chip 1, so that a semiconductor device of this design can be lessened in external dimensions. As parts serving as lead terminals are formed just above the bonding pads of the IC chip 1, the lead terminals can optionally arranged if they are disposed on a bonding pad forming surface, and in result as the layout of wiring can be lessened in length, the lead terminals can be enhanced in degree of integration.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82582

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/60

識別記号

3 1 1 Q 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平3-242258

(22)出願日 平成3年(1991)9月24日

(71)出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72)発明者 ▲薄▼友 孝

山形県山形市北町四丁目12番12号山形日本  
電気株式会社内

(74)代理人 弁理士 内原 晋

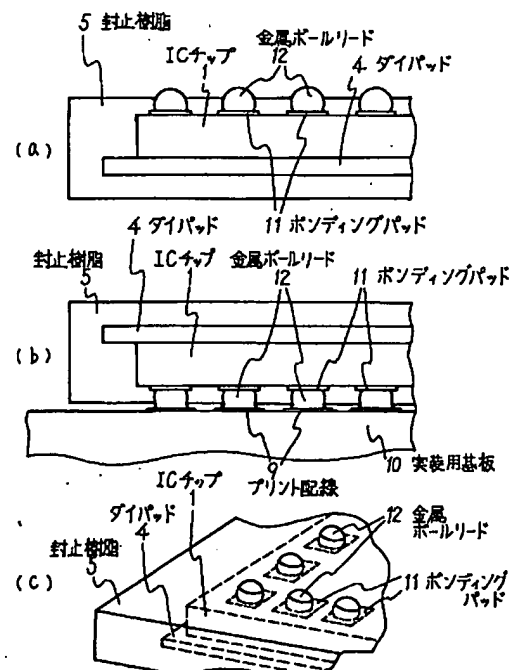
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】従来の半導体装置の外径寸法の同一のICチップで製造した場合に、より小さくすることと、ICチップ上のボンディングパッドの配置し自由度を持たせ、さらに集積度を向上させることを目的とする。

【構成】ICチップ1のボンディングパッド11の鉛直上に外部回路のプリント配線9と接続する為のリード端子である金属ボールリード12を形成し、その金属ボールリード12の一部が露出する用に封止樹脂5によって封止される。

【効果】ICチップの外周部に外部回路と接続する為のリード端子を保持する空間が無くなるので半導体装置の外径寸法を小さくすることができる。又、リード端子となる部分をICチップのボンディングパッドの鉛直上に形成したことで、ボンディングパッド形成面内であれば、任意に配置できるので配線の引き回しが少なくなり集積度を向上できる。



## 【特許請求の範囲】

【請求項1】 前記ICチップを樹脂にて封止した半導体装置において、前記ICチップの電極であるボンディングパッドの鉛直上に外部回路と接続するリード端子を設け、該鉛直上に設けられたリード端子の上部が前記封止樹脂より露出していることを特徴とする半導体装置。

【請求項2】 前記リード端子は半球状の金属である請求項1の半導体装置。

【請求項3】 前記リード端子は円錐状の金属である請求項1の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置にかかり、特に表面実装型半導体装置に関する。

## 【0002】

【従来の技術】従来の半導体装置は、図4に示すように、ICチップ1と外部回路とを接続する為のリード端子2が、ICチップ1の水平方向に位置し、ICチップ1の電極であるボンディングパッド11とリード端子2とを接続する為にはボンディングワイヤ3を介する構造となっている。又、リード端子2、ダイパッド4に保持されたICチップ1及びボンディングワイヤ3を保持する為には封止樹脂5で固定された構造となっている(a)。そしてこの半導体装置はそのリード端子2を実装用基板10のプリント配線9に半田8で固定される(b)。

【0003】又は、従来の半導体装置は図5に示すように、ダイパッド4に保持されたICチップ1と、外部回路を接続する為のリード端子2と、ICチップ1の電極であるボンディングパッドとリード端子2を接続する為の接続用金属6を有しており、これらを封止樹脂5で固定された構造となっている。

## 【0004】

【発明が解決しようとする課題】この従来の半導体装置では、外部回路との接続用のリード端子がICチップの水平方向に設けられている為、ICチップの大きさに関係なくリード端子分が加算されて、半導体装置の外径が決まったり、又、同じチップサイズでもリード端子が多く必要な場合は半導体装置の外径は、リード端子数が半分以下のものよりも大きくなってしまい、外径を小さくできないという問題があった。

【0005】又、リード端子がICチップ水平方向に位置する為、ICチップの大きさが大きくなってくると、ICチップの電極であるボンディングパッドの配置が、リード端子との接続上、任意に設定できないという問題があった。

## 【0006】

【課題を解決するための手段】本発明の半導体装置は、外部回路と接続する為のリード端子をICチップの電極であるボンディングパッドの鉛直上に設けている。又、ボンディングパッドの鉛直上に設けるリード端子は、ボ

ンディングパッド部へ直接形成し、その一部が露出する様に樹脂封止をする構造としている。

## 【0007】

【実施例】次に本発明について図面を参照して説明する。図1の(a)は本発明の第1の実施例の半導体装置の断面図である。ダイパッド4に保持されたICチップ1のボンディングパッド11の上に、外部回路と接続するリード端子となる金属ボールリード12を形成し、この金属ボールリード12の一部が露出する様に封止樹脂5で封止した構造とする。図1の(b)は本発明の第1の実施例の半導体装置の使用例の断面図である。金属ボールリード12の配置に合わせた実装用基板10のプリント配線9と、金属ボールリード12を接合させる。図1の(c)は、本発明の第1の実施例の半導体装置の斜視透視図である。

【0008】次に本発明の第2の実施例について説明する。図2は本発明の第2の実施例の半導体装置の断面図である。ICチップ1のボンディングパッド11の鉛直上に形成するリード端子を金属円錐リード13としている。このことにより、リード端子を封止樹脂5でICチップ1側へ押え付ける効果を有する。

【0009】図3に本発明の第3の実施例を示す。第3の実施例は、ICチップ1を保持するダイパッドを有しない構造としているので、半導体装置の外径寸法をより小さくする効果を有する。

## 【0010】

【発明の効果】以上説明したように本発明は、外部回路と接続するリード端子をICチップのボンディングパッド鉛直上に配置し、さらに小型にしたので、半導体装置の外径寸法をICチップの寸法程度まで小さくすることができプリント基板上への半導体装置の実装密度を大幅に向上させる効果を有する。又、ICチップのボンディングパッド鉛直上にリード端子を配置したことで、ICチップのボンディングパッドの配置が表面上であればどこでもよく、ICチップ上の集積回路形成時における配線配置の自由度向上の効果がある。

【0011】さらに、上部に露出しているリード端子が短い為、リード端子曲りやリード端子折れによる不具合を無くせる効果を有する。

【0012】半導体装置の外径寸法が小さくなることで輸送時に容積も減少でき、輸送コストを下げる効果も有する。

## 【図面の簡単な説明】

【図1】本発明の第1実施例を示す断面図、および斜視透視図である。

【図2】本発明の第2の実施例を示す断面図である。

【図3】本発明の第3の実施例を示す断面図である。

【図4】従来技術を示す断面図である。

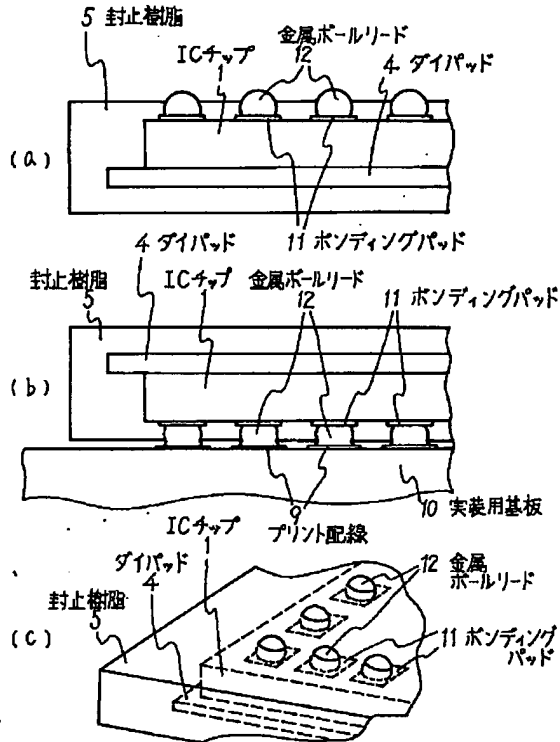
【図5】他の従来技術を示す断面図である。

【符号の説明】

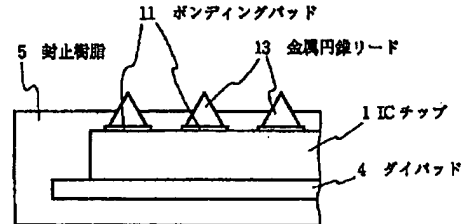
- 3  
1 ICチップ  
2 リード端子  
3 ボンディングワイヤー  
4 ダイパッド  
5 封止樹脂  
8 半田

- 4  
9 プリント配線  
10 実装用基板  
11 ボンディングパッド  
12 金属ボールリード  
13 金属円錐リード

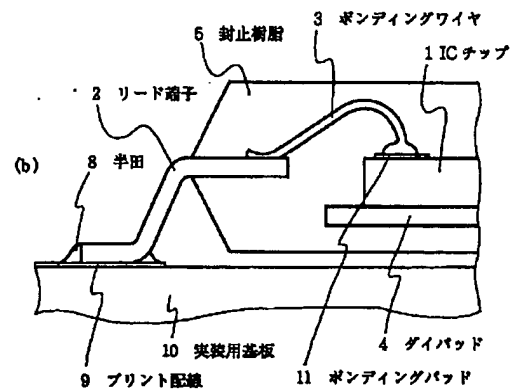
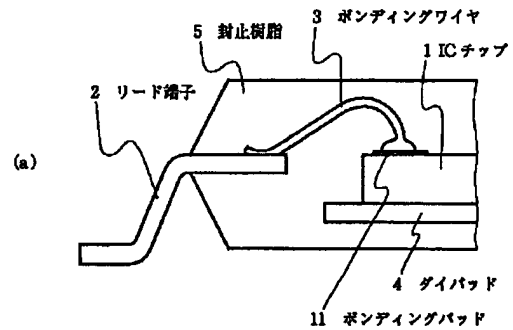
【図1】



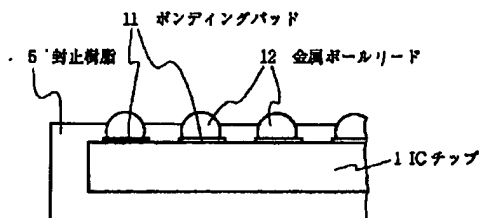
【図2】



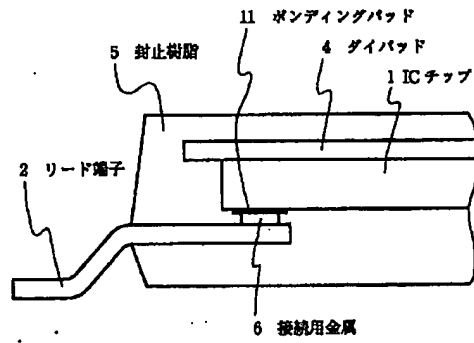
【図4】



【図3】



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**